

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-6526

(43) 公開日 平成8年(1996)1月12日

(51) Int.Cl.<sup>9</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 9 G 3/36

G 0 2 F 1/133

5 0 5

審査請求 未請求 請求項の数5 F D (全 7 頁)

(21) 出願番号 特願平6-159099

(22) 出願日 平成6年(1994)6月17日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 西沢 義志

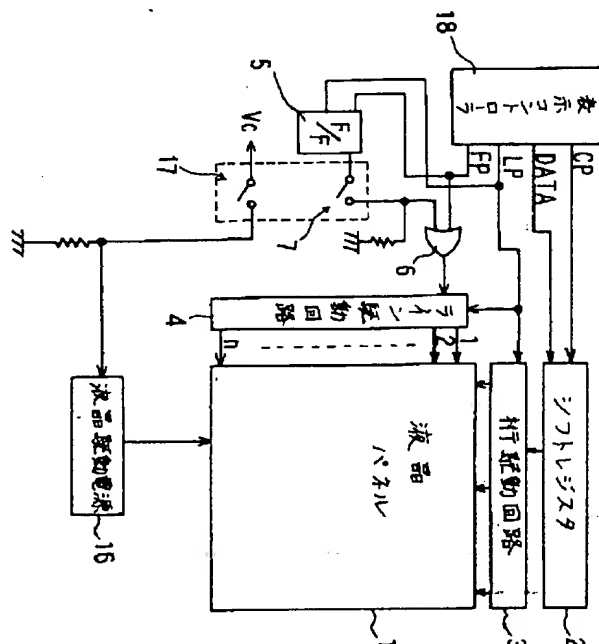
東京都大田区中馬込一丁目3番6号 株式会社リコー内

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 駆動時間を長くして、表示品質を向上できる液晶表示装置を提供する。

【構成】 桁駆動回路とライン駆動回路を選択的に駆動して表示する液晶表示装置において、ライン駆動回路を同時に1ライン分駆動させるか、それとも複数ライン分駆動させるかを切り替える駆動ライン数切り替え手段を備えた構成にした。また、同時に複数のラインを駆動させる駆動手段として、フレームパルスの巾を拡大するフレームパルス巾拡大回路を備えた構成にした。



1

## 【特許請求の範囲】

【請求項 1】 桁駆動回路とライン駆動回路を選択的に駆動して表示する液晶表示装置において、ライン駆動回路を 1 ライン分駆動させるか、或は複数ライン分同時駆動させるかを切り替える駆動ライン数切り替え手段を備えたことを特徴とする液晶表示装置。

【請求項 2】 桁駆動回路とライン駆動回路を選択的に駆動して表示する液晶表示装置において、同時に複数のラインを駆動させる駆動手段として、フレームパルスの中を拡大するフレームパルス巾拡大回路を備えたことを特徴とする液晶表示装置。

【請求項 3】 上記請求項 1 において、駆動ライン数切り替え手段として、切り替えスイッチを用いたことを特徴とする液晶表示装置。

【請求項 4】 上記請求項 1 において、駆動ライン数切り替え手段として、予め設定された設定結果に従って開閉を決定するゲート回路を備えたことを特徴とする液晶表示装置。

【請求項 5】 上記請求項 1 において、駆動ライン数切り替えと連動させて、液晶駆動電圧を変更する駆動電圧変更手段を備えたことを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はパーソナルコンピュータやワードプロセッサなどに用いられる液晶表示装置に係り、特に表示品質を向上させることができる駆動手段を備えた液晶表示装置に関する。

## 【0002】

【従来の技術】 液晶表示装置では、縦横に整列した多数の液晶素子のそれぞれを選択的に、電気的に駆動することによって所望の画面が表示される。つまり、横方向に並んだ桁駆動回路を選択的に駆動することにより表示桁（縦ライン）を選択し、縦方向に並んだライン駆動回路を選択的に駆動することにより横ライン（コモンラインともいうが以下では単にラインと称す）を選択し、選択された桁と選択されたラインの交点にある液晶素子を表示させる。したがって、1 ライン分の画素信号列（各画素信号は '1' または '0' の信号値を有する）を各桁駆動回路を駆動させるか否かを決定する信号として与え、表示しようとするラインを駆動すると、そのラインの液晶素子は上記画素信号列に従って、ある点の液晶素子は '明' 状態に表示され、他のある点の液晶素子は '暗' 状態に表示される。

【0003】 図 7 は上記のような駆動を行う従来の駆動回路と、それによって駆動される液晶表示パネルから構成される従来の液晶表示装置を示す構成ブロック図である。図において、2 a は 1 ライン分の画素信号列が整列されるシフトレジスタであり、1 ラインを構成する画素数分の並列出力端子を備えている。3 a は桁駆動回路であり、1 ラインを構成する画素数分の駆動回路を備え、

2

各駆動回路の入力端子には上記シフトレジスタ 2 a の各並列出力端子が接続され、各駆動回路の出力端子は液晶表示パネル 1 a 内の対応する各桁の液晶素子群の一方の端子を駆動する。4 a はライン駆動回路であり、液晶表示パネル 1 a のライン数分（n ライン分）の駆動回路を備え、各駆動回路の出力端子は液晶表示パネル 1 a 内の対応する各ラインの液晶素子群の他方の端子を駆動する。上記二つの端子（一方及び他方の端子）が駆動された液晶素子が表示状態となる（'明' 状態を示す）液晶素子である。

【0004】 図において、信号 'DATA' はシフトレジスタ 2 a に直列に入力される画素信号列（ビット列）であり、各画素信号は '1' または '0' という信号レベルを有する。信号 'CP' は 'DATA' の各ビット（各画素信号）を 1 ビットずつシフトレジスタ 2 a に書き込むと同時に 1 ビットずつシフトレジスタ内をシフトさせるクロックパルスである。信号 'LP' は 1 フレーム期間中に横ラインの本数に等しい回数だけパルスを出力するラインパルスであり、これによってシフトレジスタ 2 a 内の画素信号列を桁駆動回路 3 a に移す。つまり、桁駆動回路 3 a はラッチを備えている。'LP' はまた、駆動させるライン駆動回路を、第 1 ラインから順次シフトさせる。'FP' はフレームパルスであり、1 フレーム期間中に 1 回だけパルスを出力する。

【0005】 図 8 は上記各信号のタイミングチャートである。図に示す 'DATA' は 1 フレーム当たり n ラインのデータから成り、各ラインは 1 ラインの画素数分のビット列から成る。'CP' は上記 'DATA' の各ビットに対応し、ビット数に等しいパルス列から成り、'CP' の立下がりでシフトレジスタ 2 a に 'DATA' を書き込むと同時にシフトレジスタ内を順次シフトする。そして、1 ライン分の 'DATA' を書き込んだ後、その 'DATA' を 'LP' の立下がりで桁駆動回路 3 a にラッチさせ、縦（桁）方向のラインを駆動する。'LP' はライン駆動回路 4 a を構成するシフトレジスタ内で、'FP' をもシフトさせ、駆動させるライン駆動回路を順次シフトさせる。つまり、上記シフトレジスタの各並列出力端子は各ライン駆動回路に対応し、シフトレジスタの並列出力端子の出力信号が 'High' であるライン駆動回路のみが駆動される。図に示すように、'FP' が 'high' の期間中に立下がる 'LP' のパルスは 1 個なので、並列出力端子の出力信号が 'High' であるライン駆動回路は 1 個である。

## 【0006】

【発明が解決しようとする課題】 液晶表示装置の表示品質は、駆動時間が長いほど向上する特性を持っている。上記の説明から明らかなように、従来技術における各ラインの駆動時間は 'LP' の周期に等しい。この為、駆動時間が十分でなく、その結果表示品質が十分でない傾向があった。

## 【0007】

【発明の目的】本発明は、上記のような従来技術の欠点に鑑みてなされたものであり、駆動時間を更に長くして、表示品質を向上できる液晶表示装置を提供することを目的としている。

## 【0008】

【課題を解決するための手段】上記目的を達成する為、本発明は、第1の手段として、桁駆動回路とライン駆動回路を選択的に駆動して表示する液晶表示装置において、ライン駆動回路を1ライン分駆動させるか、それとも複数ライン分同時駆動させるかを切り替える駆動ライン数切り替え手段を備えた構成にした。第2の手段として、桁駆動回路とライン駆動回路を選択的に駆動して表示する液晶表示装置において、同時に複数のラインを駆動させる駆動手段として、フレームパルスの巾を拡大するフレームパルス巾拡大回路を備えた構成にした。第3の手段として、上記第1の手段において、駆動ライン数切り替え手段として、切り替えスイッチを備えた構成にした。第4の手段として、上記第1の手段において、駆動ライン数切り替え手段として、予め設定された設定結果に従って開閉を決定するゲート回路を備えた構成にした。第5の手段として、上記第1の手段において、駆動ライン数切り替えと連動させて、液晶駆動電圧を変更する駆動電圧変更手段を備えた構成にした。

## 【0009】

【作用】シフトレジスタの各並列出力を各ライン駆動回路の駆動信号とし、フレームパルスを上記シフトレジスタの直列入力信号にすると、フレームパルスの巾を広げたとき、駆動されるライン駆動回路の数が増加する。したがって、同時に複数のラインを駆動させる駆動手段として、フレームパルスの巾を拡大するフレームパルス巾拡大回路を備えた構成にし、ライン駆動回路を1ライン分駆動させるか、それとも複数ライン分同時駆動させるかを切り替える駆動ライン数切り替え手段を備えた構成にすることにより、所望のときに、フレームパルスの巾を拡大させて、同時に複数のラインを駆動できる。また、最適な液晶駆動電圧は、駆動ライン数によって異なるが、駆動ライン数切り替えと連動させて、液晶駆動電圧を変更する駆動電圧変更手段を備えた構成では、駆動ライン数が切り替わったときも、最適な液晶駆動電圧を供給できる。

## 【0010】

【実施例】以下、図面により本発明の実施例を詳細に説明する。本発明では、同時に駆動するライン数を複数にすることにより、ライン（横ライン）駆動時間を長くしている。図1は本発明の一実施例の液晶表示装置の構成ブロック図である。図において、1は液晶表示パネル、2は1ライン分の画素信号列が整列されるシフトレジスタであり、1ラインを構成する画素数分の並列出力端子を備えている。3は桁駆動回路であり、1ラインを構成

する画素数分の駆動回路を備え、各駆動回路の入力端子には上記シフトレジスタ2の各並列出力端子が接続され、各駆動回路の出力端子は液晶表示パネル1内の対応する各桁の液晶素子群の一方の端子を駆動する。4はライン駆動回路であり、液晶表示パネル1のライン数分（ $n$ ライン分）の駆動回路を備え、各駆動回路の出力端子は液晶表示パネル1内の対応する各ラインの液晶素子群の他方の端子を駆動する。上記二つの端子が駆動された液晶素子が表示される（‘明’状態を示す）液晶素子である。また、フリップフロップ5及びORゲート6はライン駆動回路4に入力されるフレームパルスのパルス巾を拡大するフレームパルス巾拡大回路を構成し、7は‘FP’のパルス巾を拡大するか否かを設定する切り替えスイッチである。

【0011】また、18は表示コントローラであり、上記従来技術における同名の信号と同じ働きをする信号クロックパルス‘CP’、画素信号列‘DATA’、ラインパルス‘LP’、フレームパルス‘FP’を出力する。つまり、信号‘DATA’はシフトレジスタ2に直列に入力される画素信号列（ビット列）であり、各画素信号は‘1’または‘0’なる信号レベルを有する。信号‘CP’は‘DATA’の各ビット（各画素信号）を1ビットずつシフトレジスタ2に書き込むと同時に1ビットずつシフトレジスタ内をシフトさせるクロックパルスである。信号‘LP’は1フレーム期間中に横ラインの本数に等しい回数だけパルスを出力するラインパルスであり、これによってシフトレジスタ2内の画素信号列を桁駆動回路3に移す。つまり、桁駆動回路3aはラッチを備えている。‘LP’は、駆動させるライン駆動回路を、第1ラインから順次シフトさせる。‘FP’はフレームパルスであり、1フレーム期間中に1回だけパルスを出力する。

【0012】これらの信号のタイミングチャートを図2に示す。但し、フレームパルス‘FP’については、フレームパルス巾拡大回路によりパルス巾を引き伸ばした‘FPe’について示している。図8に示す従来技術による液晶表示装置のタイミングチャートと比較すれば明らかなようにライン駆動回路4に与えられるフレームパルスのパルス巾を引き伸ばしているのが本発明の特徴である。

【0013】図3はライン駆動回路4の詳細を示すブロック図である。図のように、引き伸ばされたフレームパルス‘FPe’はシフトレジスタ41に入力され、‘LP’の最初のパルスの立下がり、そのときの‘FPe’のレベル‘High’がシフトレジスタ41の並列出力端子P1に現われる。したがって、第1ライン駆動回路42aが駆動される。そして、LPの1周期後、第2のパルスの立下がり、そのときの‘FPe’のレベル‘High’がP1に現われると共に、P1の状態がP2にシフトされて、出力端子P2も‘High’になる。したがって

5

第 1 ライン駆動回路 42 a と第 2 ライン駆動回路 42 b が駆動される。続いて LP の第 3 のパルスの立下がり、そのときの 'FPe' のレベル 'Low' が P1 に現われ、P2 及び P3 にはそれぞれ P1 及び P2 の状態がシフトされて、第 1 ライン駆動回路 42 a は駆動されなくなり、第 2 と第 3 のライン駆動回路 42 b と 42 c が駆動される。以下、同様にして常に二つのライン駆動回路が駆動され、最後に 'LP' の第 n のパルスの立下がり、第 (n-1) と第 n のライン駆動回路が駆動されて、1 フレームの表示が終了する。

【0014】なお、図 1 に示すフレームパルス巾拡大回路は次のように動作して 'FP' を引き伸ばす。OR ゲート 6 の一方の入力端子に 'FP' が入力されているので、図 4 に示すように 'FP' が立上ると 'FPe' も立上がる。フリップフロップ (例えば D タイプ) 5 のデータ入力端子には 'FP' が入力され、クロック入力端子には 'LP' が入力されているので、フリップフロップ 5 の出力 'FPd' は 'FP' が 'High' になった後の 'LP' の立上がりで 'High' になり、'FP' が 'Low' になった後の 'LP' の立上がりで 'Low' になる。したがって切り替えスイッチ 7 が閉じられているとき、'FP' と 'FPd' が OR ゲート 6 で論理和をとられ 'FPe' は図のようになる。

【0015】図 5 (a) は本発明による液晶表示装置の駆動状況であり、(b) は比較のために示した従来技術による液晶表示装置の駆動状況である。前記の説明及び図 5 から明らかなように、本発明による液晶表示装置では、第 n ラインを除いては従来の 2 倍の期間、各ライン (コモンライン、横ライン) が駆動されるので、表示品質が向上する。但し、図 5 に示すように、隣接する 2 本のラインを同時に駆動するとき、桁駆動回路 3 はいずれのライン (横ライン) に対しても同じラインのデータ (図 5 の例では 2 本のラインのうち下のラインのデータ) で駆動されるので、二つのラインのデータが異なる場合、ライン駆動期間中の半分の期間は異なるデータを表示してしまう。

【0016】画像の場合は、隣接する二つのラインのデータは共通である場合が多いので、半分の期間中データが化けるという短所よりも駆動期間が長くなるという長所の方が大きい。しかし、小さな文字列を表示する場合などは必ずしもそうではないので、本発明では前記のように、駆動期間を長くするか否か選択可能にしているわけである。なお、文字の場合でも、フォントの 1 ドット (画素) 分を 4 点 (横 2 × 縦 2 ドット) で表示する場合などは表示品質が向上する。これは、例えば 640 × 480 ドットの解像度の画面に、1 フレームのデータが 320 × 240 ドットのビットマップ構成のデータを表示する場合に相当する。

【0017】図 1 には同時に駆動できる駆動ライン数を切り替える手段として、切り替えスイッチを用いた場合

6

を示しているが、切り替えスイッチの代りに、図 6 に示すように AND ゲート 8 を用いることが可能である。つまり、ROM 14 に内蔵されたプログラムに従って、CPU 9 が予めラッチ 10 をセットしておくならばラッチ 10 の出力 a が 'High' レベルになって 'FPe' のパルス巾が引き伸ばされ、そうでないならば、'FPe' のパルス巾は 'FP' と同じになる。上記において、操作者がキーボード 12 から、キーボード制御部 11 を介して所定の指示を入力し、その情報が RAM 13 内の所定の領域に設定されているとき、CPU 9 がプログラムに基づいてラッチ 10 をセットするようにすることも可能である。なお、図において、15 はシステムバスである。

【0018】以上、同時に駆動される駆動ライン数が 2 個の場合について本発明の特徴を説明してきたが、この数は 3 個以上であってもよい。このように個数をふやすにはフレームパルスのパルス巾を更に広げればよい。同時に駆動するラインが増加すると、液晶を駆動する最適駆動電圧が異なってくるので、本発明では図 1 に示すように、駆動ライン数切り替えと連動してオン/オフするスイッチ 17 により液晶駆動電源 16 の出力電圧を変更させることができる駆動電圧変更手段を備えている。このスイッチ 17 は切り替えスイッチ 7 と同様にゲート回路と置換することも可能である。

【0019】

【発明の効果】以上説明したように、本発明によれば、同時に複数のラインを駆動させる駆動手段として、フレームパルスの巾を拡大するフレームパルス巾拡大回路を備えた構成にし、ライン駆動回路を同時に 1 ライン分駆動させるか、それとも複数ライン分駆動させるかを切り替える駆動ライン数切り替え手段を備えた構成にすることにより、所望のときに、フレームパルスの巾を拡大させて、同時に複数のラインを駆動できるので、画像や大きな文字を表示させるような場合、表示品質を向上できる。また、駆動ライン数切り替えと連動させて、液晶駆動電圧を変更する駆動電圧変更手段を備えた構成では、駆動ライン数が切り替わったときも、最適な液晶駆動電圧を供給できるので、高い表示品質を維持できる。

【図面の簡単な説明】

【図 1】本発明の一実施例の液晶表示装置の構成ブロック図である。

【図 2】本発明の一実施例の液晶表示装置のタイミングチャートである。

【図 3】本発明の一実施例の液晶表示装置のライン駆動回路のブロック図である。

【図 4】本発明の一実施例の液晶表示装置要部のタイミングチャートである。

【図 5】(a) 及び (b) は本発明の一実施例及び従来技術の一例を示す液晶表示装置の駆動状態の説明図である。

【図 6】本発明の他の実施例を示す液晶表示装置要部のブロック図である。

7

8

【図7】従来技術の一例を示す液晶表示装置の構成ブロック図である。

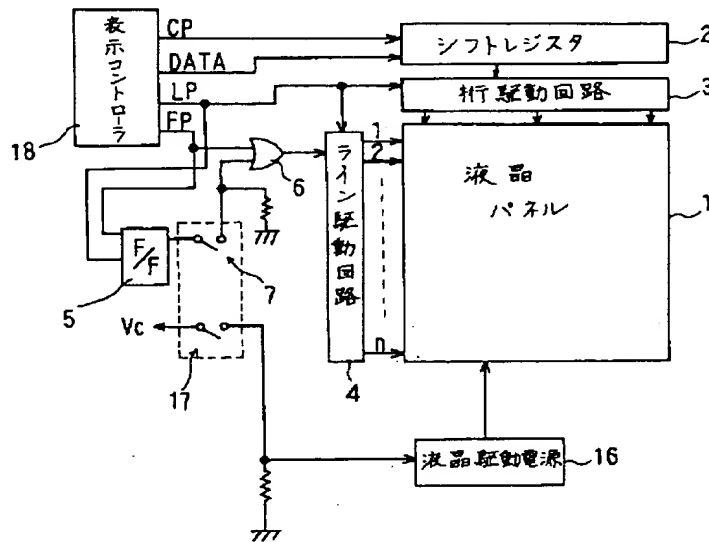
【図8】従来技術の一例を示す液晶表示装置のタイミングチャートである。

【符号の説明】

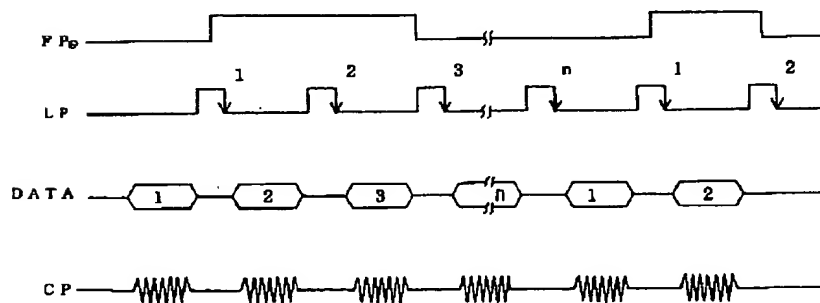
1…液晶表示パネル、2…シフトレジスタ、3…桁駆動

回路、4…ライン駆動回路、5…フリップフロップ、6…ORゲート、7…切り替えスイッチ、8…ANDゲート、9…CPU、10…ラッチ、11…キーボード制御部、12…キーボード、13…RAM、14…ROM、15…システムバス、16…液晶駆動電源、17…スイッチ。

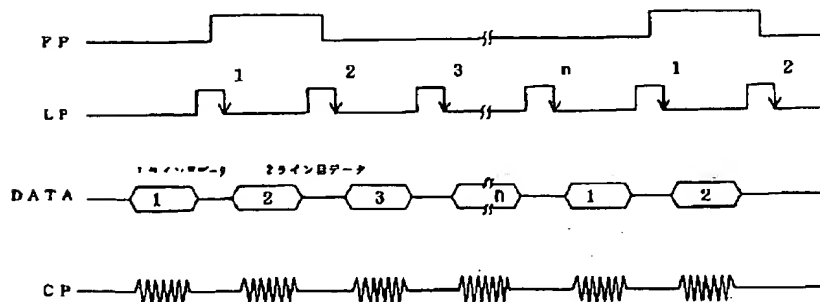
【図1】



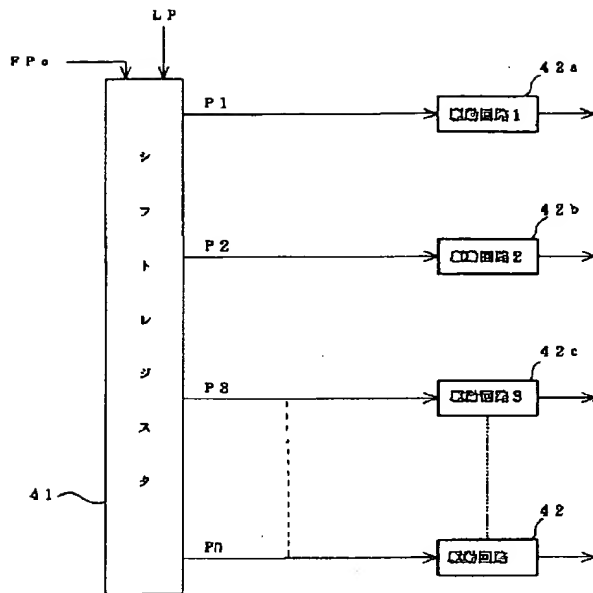
【図2】



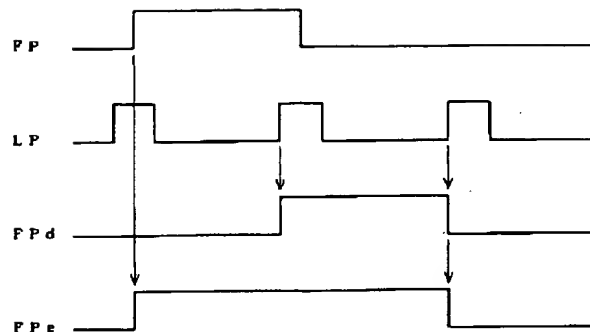
【図8】



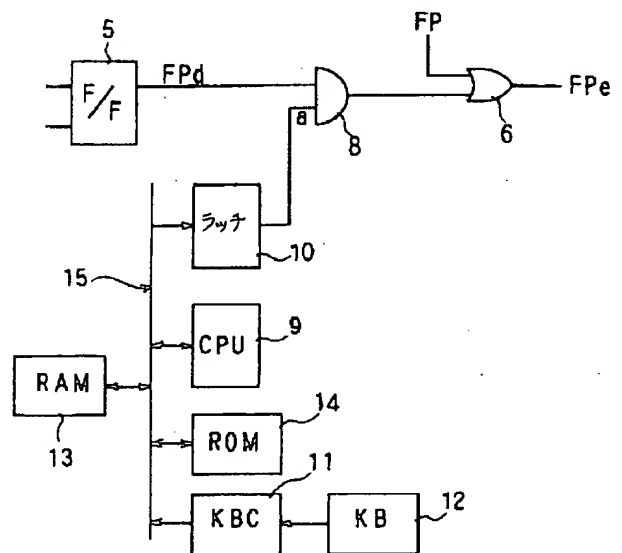
【図3】



【図4】



【図6】



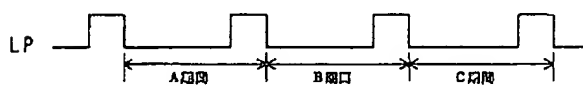
【図5】

(a)

期間	ライン比較回路	所記憶回路
A	第1ラインを比較	第1ラインのデータによる記憶
B	第1ラインと第2ラインを比較	第2ラインのデータによる記憶
C	第2ラインと第3ラインを比較	第3ラインのデータによる記憶

(b)

期間	ライン比較回路	所記憶回路
A	第1ラインを比較	第1ラインのデータによる記憶
B	第2ラインを比較	第2ラインのデータによる記憶
C	第3ラインを比較	第3ラインのデータによる記憶



【図7】

